

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08088215 A**

(43) Date of publication of application: **02.04.96**

(51) Int. Cl.

H01L 21/3065
H01L 21/3213

(21) Application number: **06223135**

(22) Date of filing: **19.09.94**

(71) Applicant: **HITACHI LTD TEXAS INSTR
JAPAN LTD**

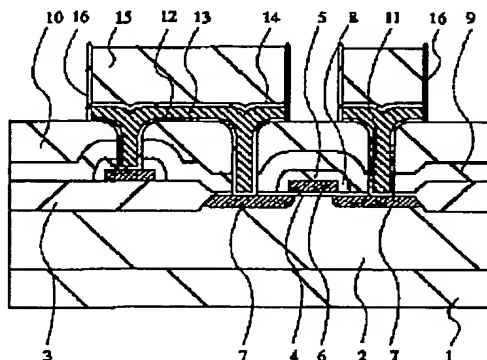
(72) Inventor: **TORII ZENZO
HARA KAZUSATO
NISHIMURA MICHIO
MATSUI TAKESHI
HAYAKAWA TAKASHI**

**(54) MANUFACTURE OF SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE**

(57) Abstract:

PURPOSE: To improve the reliability of a wiring layer composed of an aluminum alloy film and at least one TiN film and, at the same time, to improve the yield and throughput of a wiring layer working process.

CONSTITUTION: At the time of working the lower and upper TiN films 12 and 14 of a laminated wiring layer composed of the lower TiN film 12, an Al-Si-Cu film 13, and the upper TiN film 14 deposited on a semiconductor substrate 1 by using the ECR dry etching method, the generation of a polymer having a C-N linkage is suppressed by using a patterned photoresist as a mask and a mixed gas of BCl_3 and Cl_2 containing SF_6 gas or of SF_6 and BCl_3 gas as an etching gas.



COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-88215

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl.

H01L 21/3065
21/3213

識別記号

F I

H01L 21/302
21/88

F
D

審査請求 未請求 請求項の数5 OL (全6頁)

(21)出願番号

特願平6-223135

(22)出願日

平成6年(1994)9月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社

東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者 鳥居 善三

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

最終頁に続く

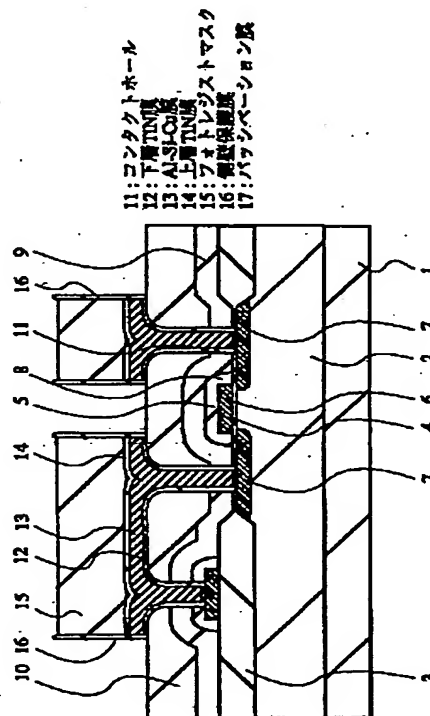
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】 アルミニウム合金膜および少なくとも1層がTiN膜で構成された配線層の信頼性を向上するとともに、配線層加工工程の歩度まりおよびスループットを向上する。

【構成】 半導体基板1上に堆積した下層TiN膜12、Al-Si-Cu膜13、上層TiN膜14からなる積層配線のTiN膜12、14をECRドライエッチング法で加工する際、パターニングされたフォトリソistをマスクにして、SF₆ガスを添加したBCl₃+C₄F₈混合ガス、又はSF₆+BCl₃混合ガスをエッチングガスに用い、C-N結合を持つポリマの発生を抑える。

図 3



【特許請求の範囲】

【請求項 1】 窒素化合物で構成された膜を有する半導体集積回路装置の製造方法であって、半導体基板上に堆積された前記窒素化合物で構成された膜を、フォトリソをマスクにして BCl_3 、 Cl_2 および SF_6 を含む混合ガスを用いたドライエッチング法で加工する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 アルミニウム合金膜と少なくとも 1 層の TiN 膜との積層膜で構成された配線層を有する半導体集積回路装置の製造方法であって、前記配線層を構成する前記 TiN 膜を、フォトリソをマスクにして BCl_3 、 Cl_2 および SF_6 を含む混合ガスを用いたドライエッチング法で加工する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 前記混合ガス中の SF_6 ガスの濃度は、全流量の 20～70% であることを特徴とする請求項 1 または 2 記載の半導体集積回路装置の製造方法。

【請求項 4】 前記ドライエッチング法は、 ECR ドライエッチング法であることを特徴とする請求項 1 または 2 記載の半導体集積回路装置の製造方法。

【請求項 5】 前記窒素化合物で構成された膜は、 TiN 膜またはプラズマ窒化シリコン膜であることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の製造方法に関し、特に、アルミニウム合金膜と少なくとも 1 層の TiN 膜との積層膜で構成された配線層を有する半導体集積回路装置の製造に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の配線層の材料として、電気伝導が大きい、 Si (シリコン) や SiO_2 (酸化シリコン) との接着性が良い、および低価格であるなどの点からアルミニウム合金膜が主に用いられている。しかし、半導体集積回路装置の高集積化が進むにつれて、アルミニウム合金膜から成る配線層の信頼性の低下が大きな問題となっている。

【0003】 例えば、アルミニウム合金膜の成膜後の熱処理により、半導体基板 (Si) とアルミニウム合金膜が接触するコンタクト部に成長するアロイビットが、高集積化に伴い浅く設けられる pn 接合部よりも深く形成されて、 pn 接合の耐圧を劣化させる。また、フォトリソグラフィ工程において、アルミニウム合金膜からの露光光の反射に起因したフォトリソのハレーションや定在波効果が顕著となり、微細なアルミニウム合金膜の加工が難しくなる。

【0004】 そこで、コンタクト部におけるアロイビットの形成を防止するために、半導体基板とアルミニウム

合金膜の間にバリアメタルを設け、また、露光光の反射を低減するために、アルミニウム合金膜の表面に反射防止膜を設けて、配線層の信頼性の向上を図っている。

【0005】 バリアメタルおよび反射防止膜としての両効果を持つ材料の一つに TiN 膜がある。近年、この TiN 膜をアルミニウム合金膜の上層と下層に形成した TiN 膜/アルミニウム合金膜/ TiN 膜構造の積層配線が高信頼度の配線層として注目され、この積層配線を半導体集積回路装置へ適用する検討が行なわれている。

【0006】 ところで、 TiN 膜/アルミニウム合金膜/ TiN 膜積層配線を構成する TiN 膜の加工は、積層配線上に形成されたフォトリソをマスクにして、一般には、エッチングガスに BCl_3 と Cl_2 との混合ガスを用いたドライエッチング法で行なわれている。

【0007】 なお、 TiN 膜/アルミニウム合金膜/ TiN 膜積層配線を加工するドライエッチング技術については、例えば、「月刊 Semiconductor World」1991 年 10 月号、P 116 に記載されている。

【0008】

【発明が解決しようとする課題】 TiN 膜/アルミニウム合金膜/ TiN 膜積層配線を加工する前記ドライエッチング法では、エッチング中にフォトリソから炭素 (C) が発生し、さらに、 TiN 膜から窒素 (N) が発生して、 C-N 結合を持つポリマが生成される。

【0009】 このポリマは、フォトリソマスクおよび配線層の側壁に堆積して、ドライエッチングの異方性を助ける側壁保護膜を形成する。しかしながら、 C-N 結合を持つポリマの生成によって以下の問題が生じることを本発明者は見いだした。

【0010】 (1) 形成された側壁保護膜は、幅方向の厚さが $0.05 \sim 0.075 \mu\text{m}$ の過剰に厚い膜であり、フォトリソマスクをアッシャ処理によって除去し、さらに、半導体基板をウェットエッチングで洗浄した後も、配線層の側壁にラビッドイヤと呼ばれる側壁保護膜の突起が残る。

【0011】 配線層の上にパッシベーション膜を堆積した場合、ラビッドイヤの先端からパッシベーション膜にクラックが入り、このクラックから侵入する水分によって、アルミニウム合金膜が腐食する。また、上下の配線層の間を絶縁する層間絶縁膜を配線層上に堆積した場合も、ラビッドイヤの先端から層間絶縁膜にクラックが入り、上の配線層となる配線材料がクラックの部分にも堆積されて、上下の配線層が接触し、絶縁不良が起きる。

【0012】 (2) ドライエッチング装置のチャンバ内壁にも C-N 結合を持つポリマが付着する。このポリマがチャンバ内壁から剥がれると、半導体基板上に異物となって付着し、異物起因の配線層の短絡不良が生じる。

【0013】 (3) チャンバ内壁に付着した C-N 結合を持つポリマとエッチングガスの塩素 (Cl) が反応すると C-N 結合が解離し、窒素 (N) ガスが発生する。

この窒素ガスはアルミニウム合金膜をエッチングする効果があるため、配線層のエッチング処理回数が増すに従い、チャンバ内壁に付着したポリマから発生する窒素ガスがチャンバ内に増加するので、アルミニウム合金膜の加工形状が変化する。

【0014】(4) チャンバ内壁に付着したC-N結合を持つポリマを除去するために、チャンバクリーニングを頻繁に行なわなくてはならないが、このチャンバクリーニングはドライエッチング装置の稼働率の低下の原因となる。

【0015】本発明の目的は、半導体集積回路装置の配線層の信頼性を向上することのできる技術を提供することにある。

【0016】本発明の他の目的は、半導体集積回路装置の配線工程の歩留まりを向上することのできる技術を提供することにある。

【0017】本発明の他の目的は、半導体集積回路装置の配線工程のスループットを向上することのできる技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】すなわち、本発明の半導体集積回路装置の製造方法は、アルミニウム合金膜と少なくとも1層のTiN膜との積層膜で構成された配線層をフォトリソをマスクにしてドライエッチング法で加工する際、濃度、30 が全流量の20～70%のSF₆、ガスを添加したBCl₃、+Cl₂、混合ガス、又はSF₆、+BCl₃、混合ガスをエッチングガスに用いて、TiN膜を加工するものである。

【0021】

【作用】上記した手段によれば、BCl₃、+Cl₂、混合ガスにSF₆、ガスを添加、又はBCl₃、にSF₆、を添加することにより、C-N結合を持つポリマの生成が抑えられ、また、生成したポリマを分解することができる。

【0022】これにより、配線層の側壁に堆積する側壁保護膜の形成が抑えられ、ウェットエッチングで容易に除去することが可能となる。従って、ラビッドイアは形成されず、配線層の上に堆積されたパッシベーション膜あるいは層間絶縁膜におけるクラックの発生を防ぐことができる。

【0023】また、ドライエッチング装置のチャンバ内壁に付着するC-N結合を持つポリマを低減することができる。従って、チャンバ内壁から剥がれて半導体基板の上に付着する異物が低減でき、配線層の短絡不良を減少させることができる。さらに、チャンバ内壁に付着した

C-N結合を持つポリマの解離による窒素ガスの発生を少なくできるので、アルミニウム合金膜の加工形状のばらつきを抑えることができる。さらに、チャンバ内壁のクリーニングの回数が減少でき、ドライエッチング装置の稼働率をあげることができる。

【0024】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0025】本発明の一実施例であるTiN/Al-Si-Cu/TiN積層配線の製造方法を図1～図4を用いて説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0026】まず、図1に示すように、半導体基板1の主面に周知の方法でp型ウエル2、フィールド絶縁膜3およびゲート絶縁膜4を順次形成した後、半導体基板1上にCVD (Chemical Vapor Deposition)法で多結晶シリコン膜(図示せず)および酸化シリコン膜5を順次堆積する。

【0027】次に、上記酸化シリコン膜5および多結晶シリコン膜を順次エッチングしてMISFETのゲート電極6を形成した後、酸化シリコン膜5およびゲート電極6をマスクにして、p型ウエル2にn型不純物をイオン注入し、nチャネル型MISFETのn型半導体領域7を形成する。

【0028】その後、半導体基板1上にCVD法で堆積した酸化シリコン膜(図示せず)をRIE (Reactive Ion Etching) 法でエッチングして、ゲート電極6の側壁にサイドウォールスペーサ8を形成する。次に、半導体基板1上に酸化シリコン膜9およびBPSG (Boron-doped Phospho Silicate Glass) 膜10をCVD法で順次堆積した後、窒素ガス雰囲気中で850～950℃の熱処理を行ない、BPSG膜10の表面を平坦化する。

【0029】次に、BPSG膜10および酸化シリコン膜9をパターニングされたフォトリソ(図示せず)をマスクにして順次エッチングし、MISFETのn型半導体領域7およびゲート電極6に達するコンタクトホール11を形成する。

【0030】次に、図2に示すように、半導体基板1上に下層TiN膜12、Al-Si-Cu膜13および上層TiN膜14をスパッタリング法またはCVD法で順次堆積した後、フォトリソマスク15を半導体基板1上に形成する。

【0031】なお、Al-Si-Cu膜13中のCu濃度は0.1～2.0wt%であり、上層TiN膜14は反射防止膜、下層TiN膜12はバリアメタルとして設けられている。上層TiN膜12、Al-Si-Cu膜13および上層TiN膜14の厚さは、例えば、0.5～1.0 μm、4～8 μmおよび0.5～2 μmである。

【0032】次に、上層TiN膜14をBCl₃、+Cl₂

、+SF₆混合ガスを用いて、ECR (Electron Cyclotron Resonance) ドライエッチング法で加工する。この時のエッチング条件は、例えば、混合ガス比BCl₃ : Cl₂ : SF₆ = 3 : 4 : 3、圧力0.5~2.0 Pa、Rfパワー20~40 W、マイクロ波パワー800~1000 Wである。

【0033】次に、Al-Si-Cu膜13をBCl₃ + Cl₂の混合ガスを用いて、ECRドライエッチング法で加工する。この時のエッチング条件は、例えば、混合ガス比BCl₃ : Cl₂ = 4 : 6、圧力0.5~2.0 Pa、Rfパワー40~60 W、マイクロ波パワー800~1000 Wである。なお、BCl₃ガスの濃度は、Al-Si-Cu膜13の加工形状あるいはCu残渣を考慮して、全流量の30~60%の範囲で設定される。

【0034】次に、下層TiN膜12を上層TiN膜14と同じ上記エッチング条件により、BCl₃ + Cl₂ + SF₆混合ガスを用いてECRドライエッチング法で加工する。

【0035】なお、図3に示すように、配線層のエッチング時には、フォトリソマスク15、上層TiN膜14、Al-Si-Cu膜13および下層TiN膜12の側壁に側壁保護膜16が堆積するが、半導体基板1を設置するエッチング装置のステージの設定温度が低くなるに従い、また、配線層の高さAと配線層の間隔Bのアスペクト比(A/B)が小さくなるに従い、側壁保護膜16は堆積しやすくなる。従って、ステージの設定温度あるいは配線層のアスペクト比(A/B)を考慮して、SF₆ガスの濃度は全流量の20~70%の範囲で設定される。

【0036】次に、フォトリソマスク15をアッシュ処理により除去した後、CH₃COOH : NH₄OH : H₂O液を用いて半導体基板1をウェットエッチングし、側壁保護膜16を除去する。最後に、図4に示すように、半導体基板1の表面をパッシベーション膜17で被覆することにより、本実施例のTiN/Al-Si-Cu/TiN積層配線が完成する。

【0037】このように、本実施例の製造方法によれば、TiN/Al-Si-Cu/TiN積層配線を構成するTiN膜をドライエッチング法で加工する際、エッチングガスにBCl₃ + Cl₂ + SF₆混合ガスを用いると、C-N結合を持つポリマの生成が抑えられ、また、生成したポリマを分離することができる。

【0038】従って、TiN/Al-Si-Cu/TiN積層配線の側壁に堆積する側壁保護膜16の厚さ(W)は0.015~0.025 μmと薄くなり、CH₃COOH : NH₄OH : H₂O液を用いたウェットエッチングによって側壁保護膜16を除去することができるので、パッシベーション膜17におけるクラックの発生を防ぐことができる。

【0039】また、チャンバ内壁に付着するC-N結合

を持つポリマが減るので、チャンバ内壁から剥がれて半導体基板1上に付着する異物が低減でき、配線層の短絡不良を減らすことができる。C-N結合を持つポリマの解離による窒素ガスの発生を少なくできるので、配線層を構成するAl-Si-Cu膜13の加工形状の変化が抑えられる。チャンバ内壁のクリーニングの回数を減らしてドライエッチング装置の稼働率を約10%あげることができる。

【0040】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】たとえば、前記実施例では、TiN/Al-Si-Cu/TiN積層配線に適用した場合について説明したが、TiN単層配線、TiN/Al-Si-Cu/W積層配線、TiN/Al-Cu/TiN積層配線およびTiN/Al-Cu/W積層配線など、少なくとも1層がTiN膜で構成された配線層に適用可能である。

【0042】また、前記実施例では、TiN/Al-Si-Cu/TiN積層配線に適用した場合について説明したが、TiN膜で構成された配線層に限定されるものではなく、窒素化合物で構成された膜、例えば、プラズマCVD法で形成されたプラズマ窒化シリコン膜などに適用可能である。

【0043】さらにまた、ドライエッチングはECRを最適実施例に挙げたが、これに限らずTCP (Transfer Coupled Plasma)、RIE (Reactive Ion Etching)、または高周波誘導型でもよい。

【0044】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0045】本発明によれば、アルミニウム合金膜と少なくとも1層がTiN膜で構成される配線層の上に堆積された層間絶縁膜あるいはパッシベーション膜におけるクラックの発生が防止できるので、配線層の信頼性を向上することができる。

【0046】また、本発明によれば、配線層の短絡不良が減少し、さらに、配線層の加工形状の再現性がよくなるので、配線工程の歩留まりを向上することができる。

【0047】また、本発明によれば、ドライエッチング装置の稼働率があげられるので、配線工程のスループットを向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置を示す半導体基板の要部断面図である。

【図2】本発明の一実施例である半導体集積回路装置を示す半導体基板の要部断面図である。

【図3】本発明の一実施例である半導体集積回路装置を

7

8

示す半導体基板の要部断面図である。

【図4】本発明の一実施例である半導体集積回路装置を示す半導体基板の要部断面図である。

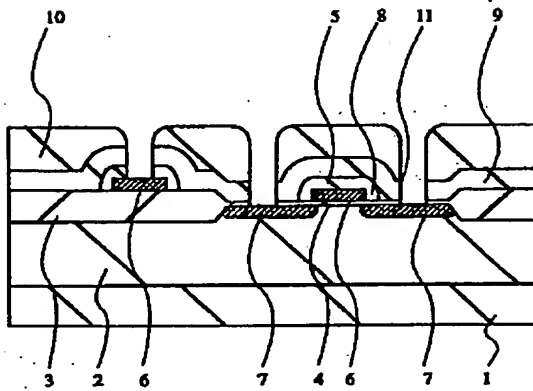
【符号の説明】

- 1 半導体基板
- 2 p型ウェル
- 3 フィールド絶縁膜
- 4 ゲート絶縁膜
- 5 酸化シリコン膜
- 6 ゲート電極
- 7 n型半導体領域

- 8 サイドウォールスペーサ
- 9 酸化シリコン膜
- 10 BPSG膜
- 11 コンタクトホール
- 12 下層TiN膜
- 13 Al-Si-C膜
- 14 上層TiN膜
- 15 フォトリソグマスク
- 16 側壁保護膜
- 17 パッシベーション膜

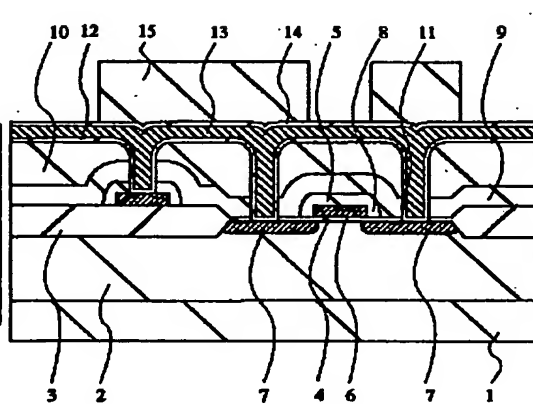
【図1】

図 1



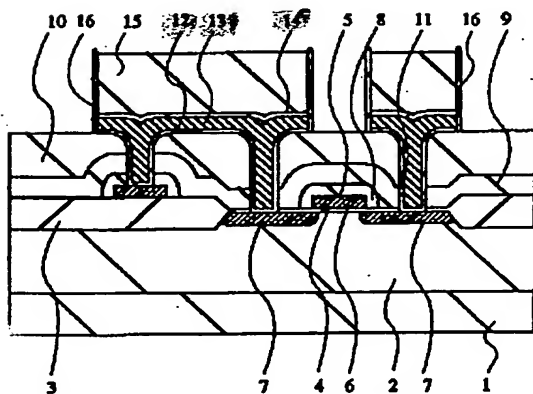
【図2】

図 2



【図3】

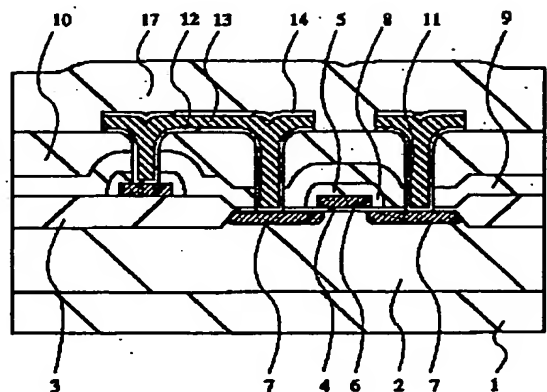
図 3



- 11: コンタクトホール
- 12: 下層TiN膜
- 13: Al-Si-C膜
- 14: 上層TiN膜
- 15: フォトリソグマスク
- 16: 側壁保護膜
- 17: パッシベーション膜

【図4】

図 4



フロントページの続き

- (72)発明者 原 和里
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
- (72)発明者 西村 美智夫
茨城県稲敷郡美浦村木原2350 日本テキサ
ス・インスツルメンツ株式会社内
- (72)発明者 松井 剛
茨城県稲敷郡美浦村木原2350 日本テキサ
ス・インスツルメンツ株式会社内
- (72)発明者 早川 崇
茨城県稲敷郡美浦村木原2350 日本テキサ
ス・インスツルメンツ株式会社内